



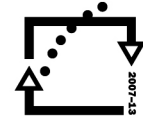
evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

## INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Projekt: Inovace oboru Mechatronika pro Zlínský kraj Registrační číslo: CZ.1.07/1.1.08/03.0009

# KOMBINAČNÍ LOGICKÉ OBVODY

U těchto obvodů je vstup určen jen výhradně kombinací vstupních veličin. Hodnoty výstupních veličin nezávisí na předcházejícím stavu logického obvodu' což znamená, že kombinační logický obvod neobsahuje paměťové prvky. Základní kombinační obvody jsou tyto:

- XOR neboli Exklusiv OR.
- Sčítačka.
- Kodéry a dekodéry.
- Multiplexery a demultiplexery.

## XOR NEBOLI EXLUSIV OR

obvod XOR je jedním z nejpoužívanějších kombinačních logických obvodů. O jeho důležitosti svědčí i to, že je nazýván různými jmény např. Exklusiv OR, EX-OR, XOR, nerovnost, nonekvivalence, sčítačka modulo 2 atd.

Obvod je vytvořen tak, aby splňoval pravidla sčítání ve dvojkové soustavě tj.:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 0$$

Těmto pravidlům odpovídá pravdivostní tabulka :

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

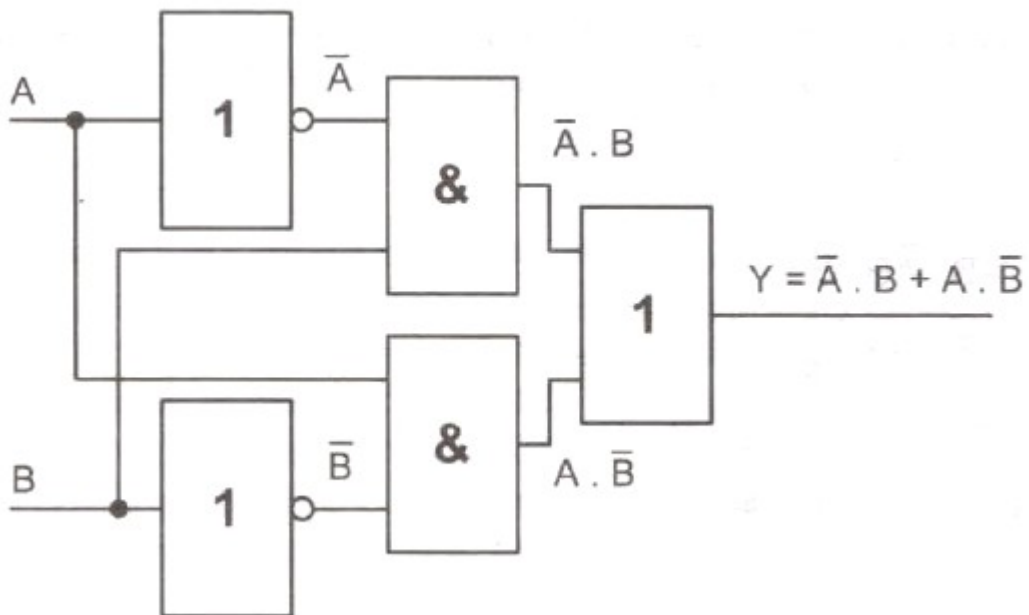
$\Rightarrow \bar{A} \cdot B$

$\Rightarrow A \cdot \bar{B}$

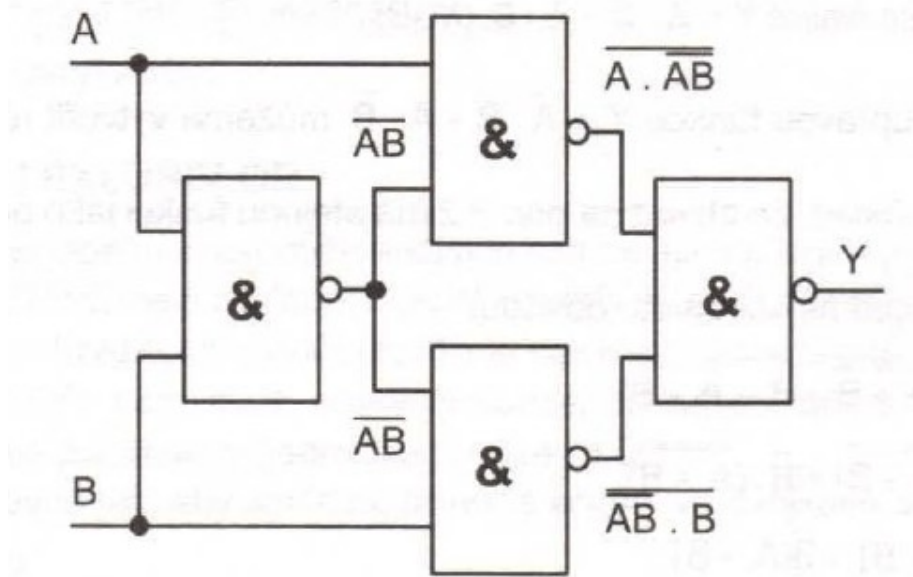
Z druhého a třetího řádku této tabulky vyplývá základní součtový tvar funkce:

$$Y = \bar{A} \cdot B + A \cdot \bar{B}$$

Realizace této funkce pomocí základních hradel je na obr. 1, obr. 2 a obvod se nazývá XOR.

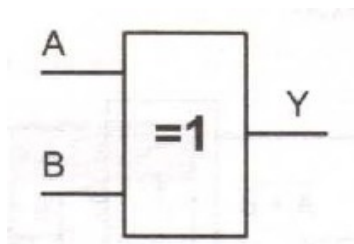


Obr. 1 Realizace funkce  $Y = \bar{A} \cdot B + A \cdot \bar{B}$  (XOR).



Obr. 2 : Realizace funkce XOR čtyřmi hradly NAND

Obecně se pro zjednodušení kreslení složitějších obvodů používá jednoduchá grafická značka XOR dle obr. 3



Obr. 3 : grafická značka členu XOR

Výstupní hodnoty členu XOR přesně odpovídají sčítání ve dvojkové soustavě a to jej předurčuje pro použití v binárních matematických operacích. XOR je základem tzv. poloviční a úplné sčítačky.

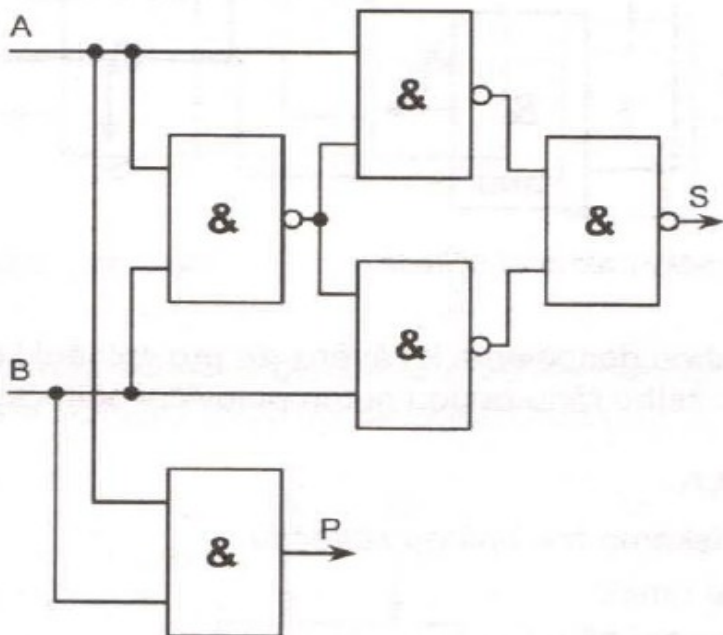
## SČÍTAČKY

### Poloviční sčítačka

XOR umí sečíst dva vstupy (vstupní bity). Pouze v případě, že oba vstupy jsou rovny 1 (čtvrtý řádek jeho pravdivostní tabulky), dovede sice vypočítat součet  $1 + 1 = 0$ , ale nedovede vygenerovat tzv. přenos P do vyššího řádu.

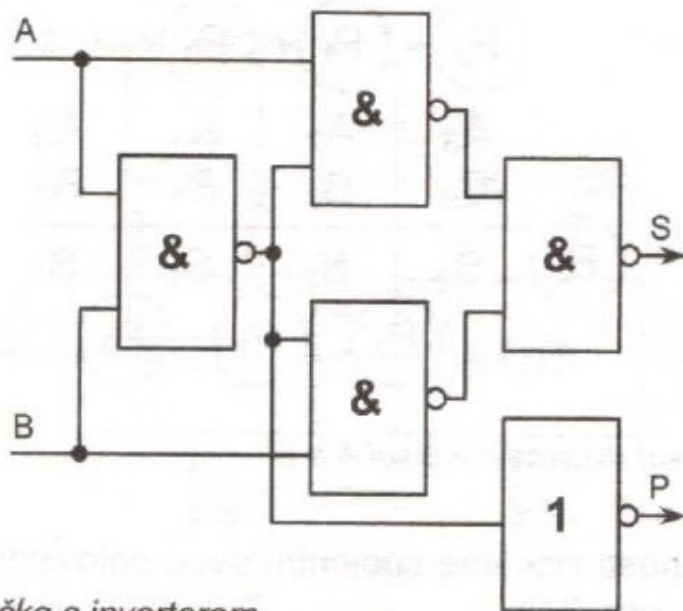
Této funkci docílíme přidáním členu AND na vstup obvodu XOR. Získáme tak zapojení, které se nazývá poloviční sčítačka (obr. 4)

Na obrázku jsou hodnoty A a B sčítance, S je součet a P je přenos do vyššího řádu. Například pro vstupy A = 1 a B = 1 je S = 0 a P = 1.



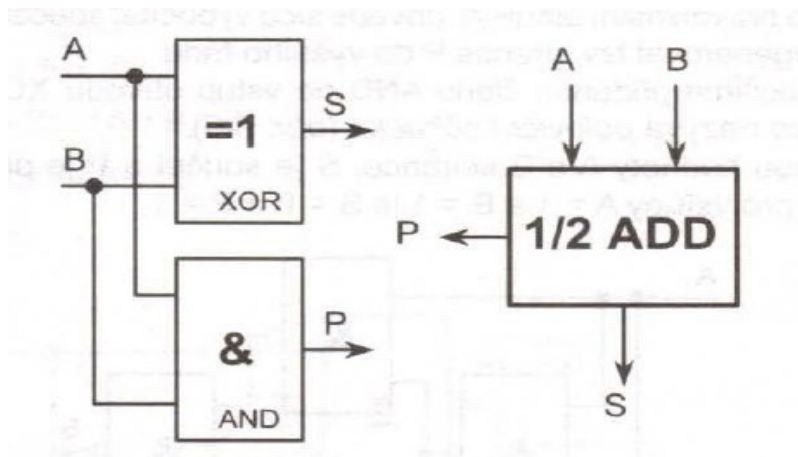
Obr. 4: Poloviční sčítačka s hradlem AND

Stejnou funkci poloviční sčítačky dostaneme připojením invertoru na výstup prvního členu NAND v obvodu XOR viz obr. 5:



Obr. 5: Poloviční sčítačka s invertorem

Blokové schéma poloviční sčítačky a její grafická značka je na obr. 6.



Obr. 6 : Poloviční sčítačka s hradlem AND – blokové schéma, grafická značka

Poloviční sčítačka umožňuje sečíst dva vstupy (dva vstupní bity) a přenést tzv. přenos P (bit) ze sčítání do vyššího řádu.

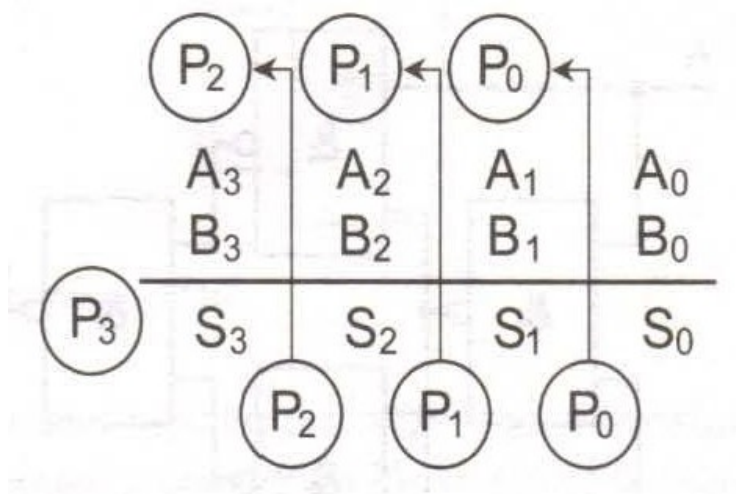
Neumí ale přijmout přenos P (bit) z nižšího řádu. To znamená, že může být pouze u součtu nejnižšího řádu.

### Úplná sčítačka

Úplná sčítačka musí umět:

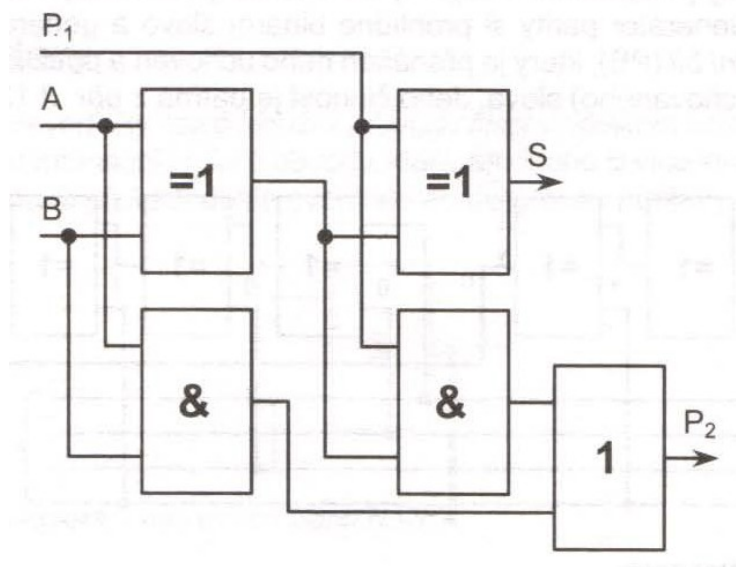
- sečíst dva vstupní bity
- přičíst k tomuto součtu bit přenosu z nižšího řádu,
- zjistit další bit přenosu do vyššího řádu a poslat jej dál

Princip sčítání dvou čtyřbitových čísel A a B je graficky znázorněn na obr. 7



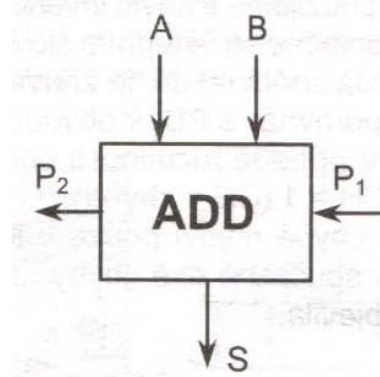
Obr. 7: Princip sčítání dvojkových čísel A a B

Požadované vlastnosti získáme spojením dvou polovičních sčítaček a přidáním logického členu OR (obr. 8).



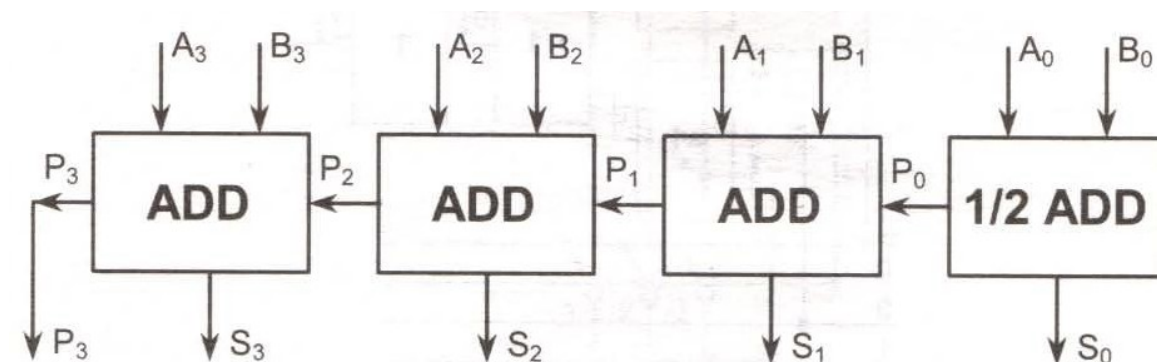
Obr. 8: Zapojení úplné sčítačky

Úplnou sčítačku můžeme zařadit do libovolného řádu n-bitového součtu mimo řádu nultého, kde je nutné použít poloviční sčítačku. Grafická značka úplné sčítačky je na obr. 9.



Obr. 9: Grafická značka úplné sčítačky

Blokové schéma sčítačky pro realizaci součtu dvou čtyřbitových binárních čísel A a B dle obr. 7 je na obr. 10



Obr. 10: Sčítačka pro dvě čtyřbitová čísla

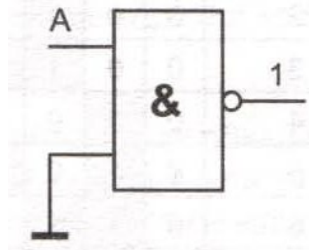
## KODÉRY A DEKODÉRY (PŘEVODNÍKY KÓDŮ)

### KODÉRY

Jsou převodníky, které slouží k převodu čísel z jednoho kódu do jiného kódu.

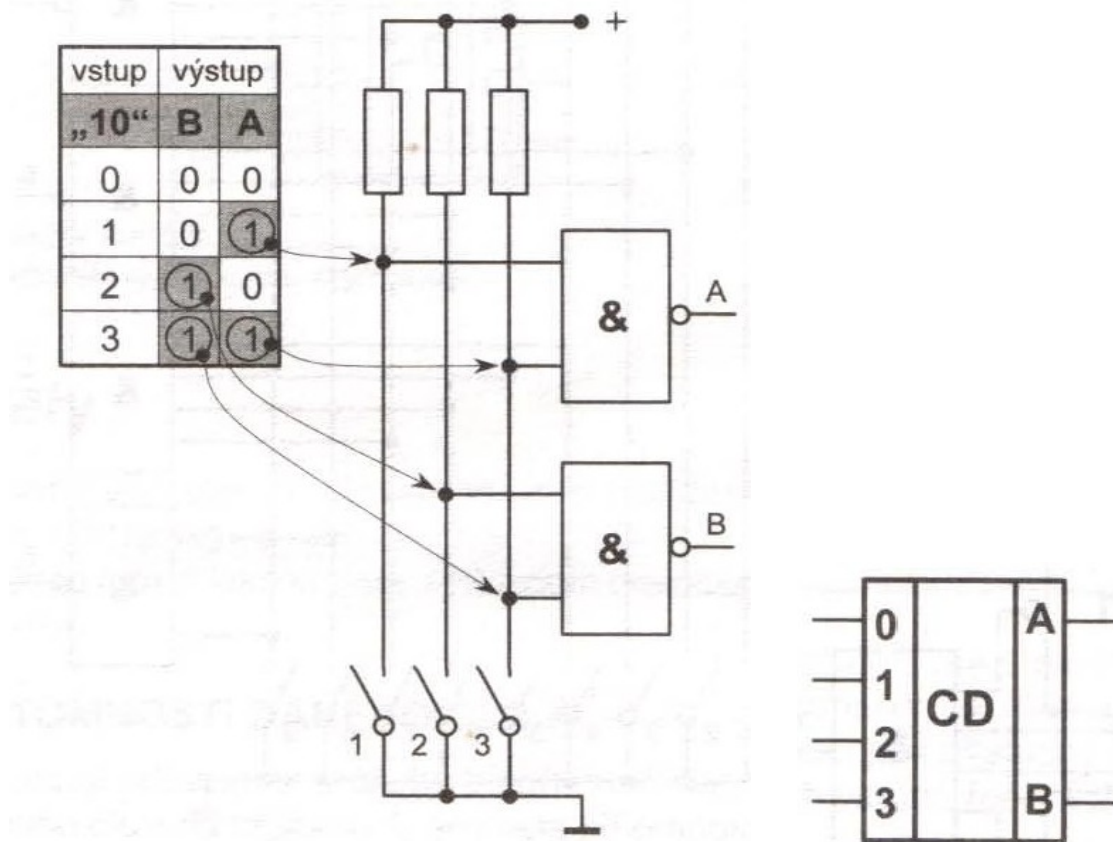
Kodéry jsou kombinační logické obvody, které z jednoho či více vstupů odpovídajících desítkové soustavě převádí desítkové číslo do dvojkové soustavy.

Zapojení kodéru sestojíme pomocí kódovací tabulky. K tomu lze použít členy NAND, u kterých přivedením logické nuly na alespoň jeden vstup (což realizujeme uzemněním tohoto vstupu viz obr.11) dostaneme na jeho výstupu logickou hodnotu 1.



Obr.11: Vznik logické 1 na výstupu členu NAND

Realizace kodéru čísel 1 až 3 z desítkové soustavy do dvojkové soustavy (binárního kódu) včetně kódovací tabulky je znázorněna na obr. 12



Obr. 12: Kodér čísel 1 až 3 do binárního kódu a jeho grafická značka

Pokud je v kódovací tabulce na obr. 12 na výstupu členu NAND (A nebo B) logická 1, musí být vstup příslušného členu NAND nebo v případě desítkového čísla 3 obou členů NAND uzemněn. Na obr. 12 je tato skutečnost znázorněna šípkami.

Spínače na vstupu kodéru 1, 2 a 3 představují desítkovou soustavu a výstupy A a B z obou členů NAND dvojkovou soustavu (binární kód).

Realizace kodéru čísel 1 až 9 z desítkové soustavy do kódu BCD podle kódovací tabulky z obr.13 je znázorněn na obr. 14

desítkové číslo	kód BCD			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Obr.13: Kódovací tabulka

Pro sestrojení obvodu, který kóduje všech deset čísel desítkové soustavy do BCD kódu (dvojkové soustavy) použijeme stejný princip jako v předchozím kodéru 0 až 3.

Z kódovací tabulky převodu desítkového čísla do BCD kódu plyne, že

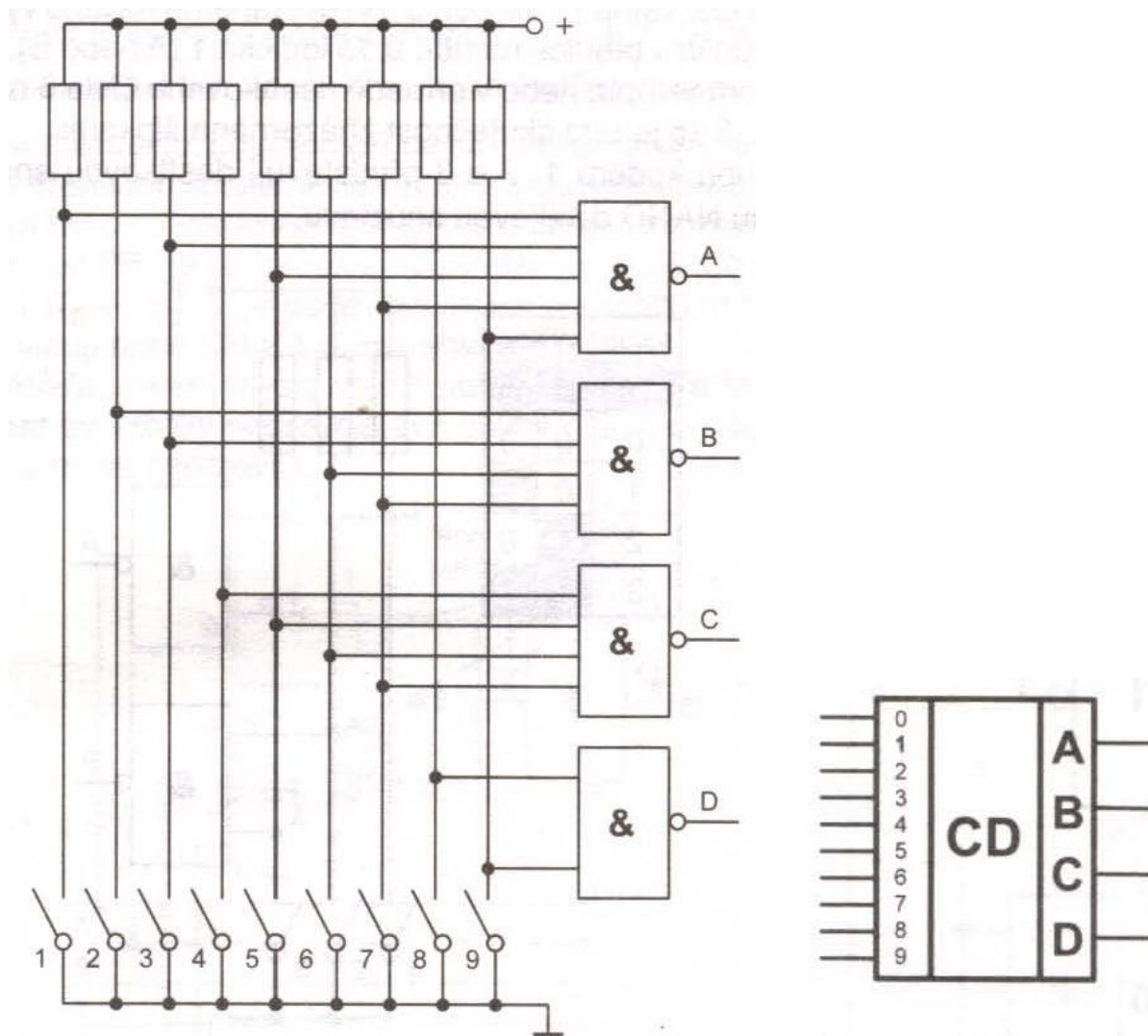
- na člen NAND s výstupem A musí být připojeny spínače desítkových čísel 1, 3, 5, 7 a 9
- na člen NAND s výstupem B musí být připojeny spínače 2, 3, 6 a 7
- na člen NAND s výstupem C spínače 4, 5, 6 a 7
- na člen NAND s výstupem D jen spínače 8 a 9.

Z kódovací tabulky plyne i potřebný počet vstupů jednotlivých členů NAND:

- NAND A musí mít pět vstupů, neboť ve sloupci A kódovací tabulky je pět jedniček
- NAND B musí mít čtyři vstupy, neboť ve sloupci B kódovací tabulky jsou čtyři jedničky
- NAND C musí mít čtyři vstupy, neboť ve sloupci C kódovací tabulky jsou čtyři jedničky
- NAND D musí mít dva vstupy, neboť ve sloupci D kódovací tabulky jsou dvě jedničky.

Takto snadno sestrojíme celý kodér i když se jedná o poměrně složité zapojení. Celkové zapojení kodéru je na obr. 14.





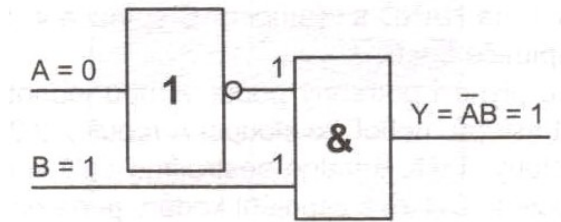
Obr. 14: Zapojení kodéru čísel 0 až 9 do kódu BCD a jeho grafická značka

Není-li příslušný spínač desítkového čísla sepnutý, je na vstupech příslušných členů NAND logická 1 a na jejich výstupech logická 0.  
 Je-li spínač příslušného desítkového čísla sepnutý (vstupy příslušných členů NAND uzemněny), vznikne na vstupech příslušných členů NAND logická 0 a na jejich výstupech logická 1.

## DEKODÉRY

Dekodéry jsou kombinační logické obvody, které slouží ke zjištění (identifikaci) určitého kódu, binárního čísla nebo převádějí vstupní kód na jiný. Tyto obvody mají opačnou funkci jako kodéry.

a) Příkladem je jednoduchý dekodér na obr. 15, který signalizuje na svém výstupu logickou hodnotou 1 přítomnost binárního čísla 01 na jeho vstupech. Pro ostatní dvoubitová binární čísla je na výstupu dekodéru logická hodnota 0.



Obr. 15: Dekodér binárního čísla 01

### b) Dekodér dvoubitového binárního kódu na kód jeden ze čtyř (1 z N, kde N = 4)

K jeho realizaci použijeme převodní tabulku mezi dvoubitovým binárním kódem a čísly 0, 1, 2 a 3 desítkové soustavy obr. 16. Pro každý řádek tabulky napíšeme příslušnou funkci Y.

B	A	des. č.	Y
0	0	0	$\bar{B} \cdot \bar{A}$
0	1	1	$\bar{B} \cdot A$
1	0	2	$B \cdot \bar{A}$
1	1	3	$B \cdot A$

Obr. 16: Převodní tabulka binárního čísla na desítkové

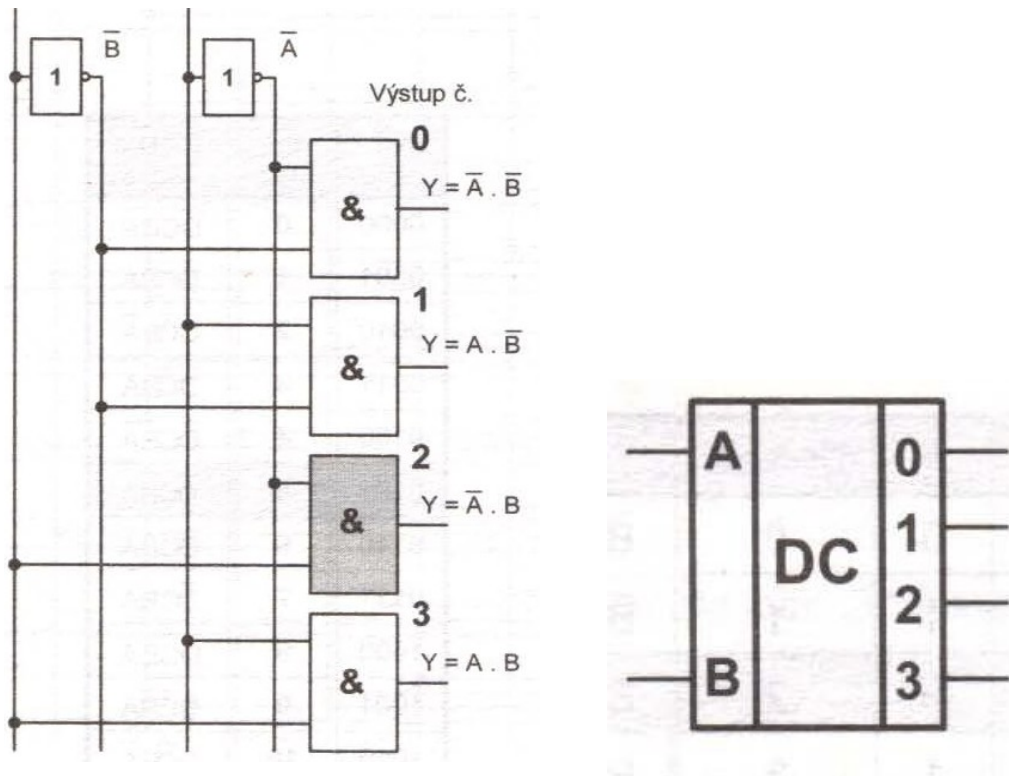
Každá vstupní kombinace bude signalizována logickou hodnotou 1 na příslušném výstupu dekodéru, ostatní výstupy budou mít logickou hodnotou 0.

Logickou funkci každého řádku pak lze realizovat členem AND dle obr. 17. Podmínkou pro logickou hodnotu 1 na výstupu členu AND jsou logické hodnoty 1 na všech jeho vstupech.

Každý člen AND je zapojen dle funkce Y příslušného řádku převodní tabulky (obr. 16) právě tak, aby jen pro tento řádek byly na všech jeho vstupech logické hodnoty 1.

Například řádek pro desítkové číslo 2 (v tabulce označen šedě) má funkci logického součinu  $\bar{A} \cdot B$ , a proto jen pro binární číslo 10 (B=1, A=0) bude na výstupu členu AND č. 2 logická hodnota 1.

Na vstupech všech ostatních členů AND bude logická hodnota 0.

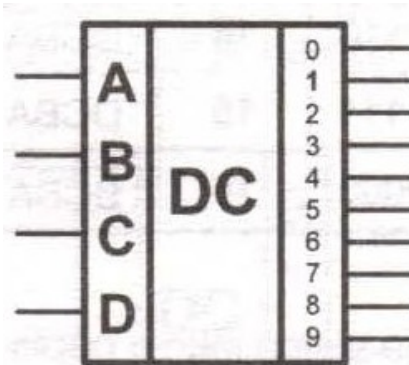


Obr. 17: Zapojení dekodéru binárního kódu na kód jeden ze čtyř a jeho grafická značka

**c) Dekodér čtyřbitového binárního kódu na kód jeden z deseti (1 z N, kde N = 10)**

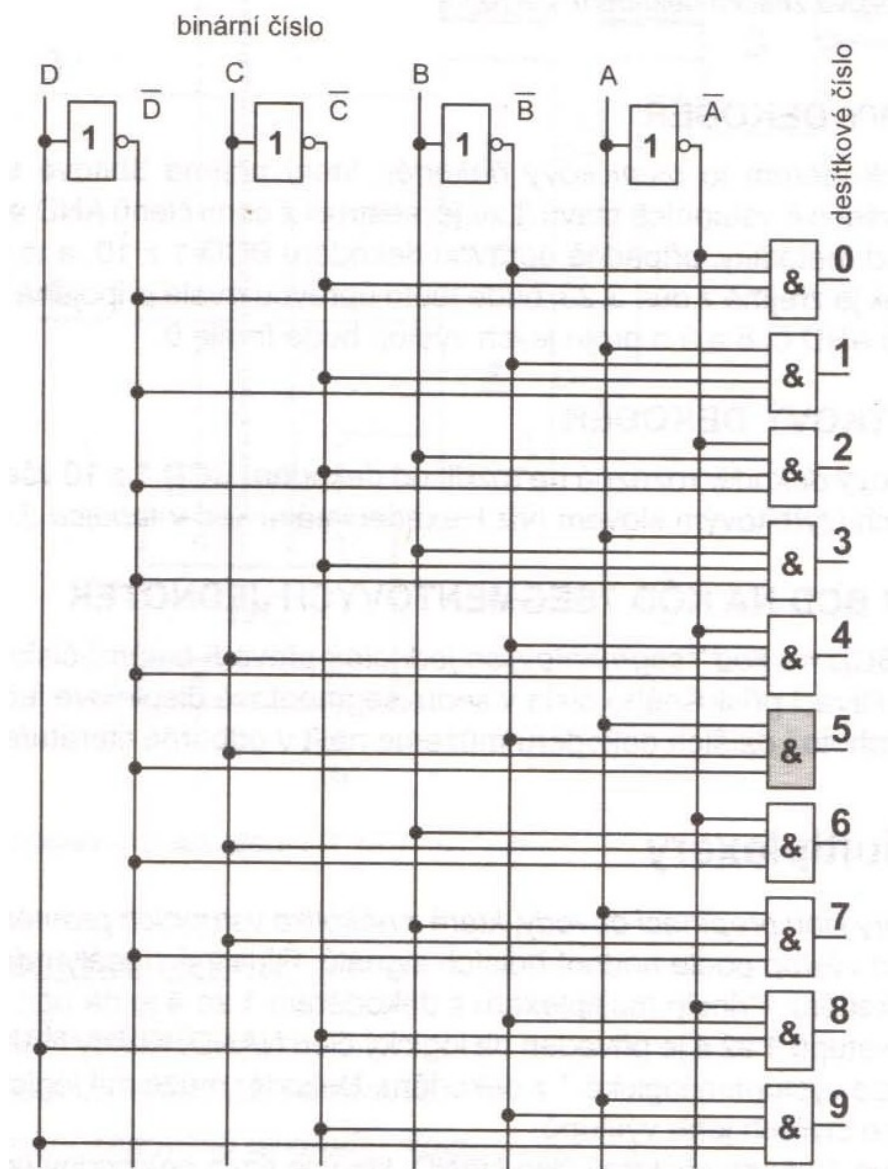
Tento dekodér se používá jako převodník binárních čísel (BCD kódu) na čísla desítková. K jeho realizaci použijeme obdobně jako u předchozího dekodéru převodní tabulku (obr. 18) mezi čtyřbitovým binárním kódem a čísly 0 až 9 desítkové soustavy obr. 18. Pro každý řádek tabulky napíšeme příslušnou funkci Y.

bin. číslo	des. číslo	funkce řádku
0000	0	$\overline{DCBA}$
0001	1	$\overline{DCBA}$
0010	2	$\overline{DCBA}$
0011	3	$\overline{DCBA}$
0100	4	$\overline{DCBA}$
0101	5	$\overline{DCBA}$
0110	6	$\overline{DCBA}$
0111	7	$\overline{DCBA}$
1000	8	$\overline{DCBA}$
1001	9	$\overline{DCBA}$



Obr. 18: Převodní tabulka BCD kódu na kód jeden z deseti a jeho grafická značka

Zapojení dekodéru je na obr. 19 realizováno členy AND, kterými jsou realizovány logické funkce každého řádku převodní tabulky



Obr. 19: Dekodér čtyřbitového binárního kódu BCD na kód jeden z deseti

Každá vstupní kombinace je signalizována logickou hodnotou 1 na příslušném výstupu dekodéru, ostatní výstupy mají logickou hodnotou 0.

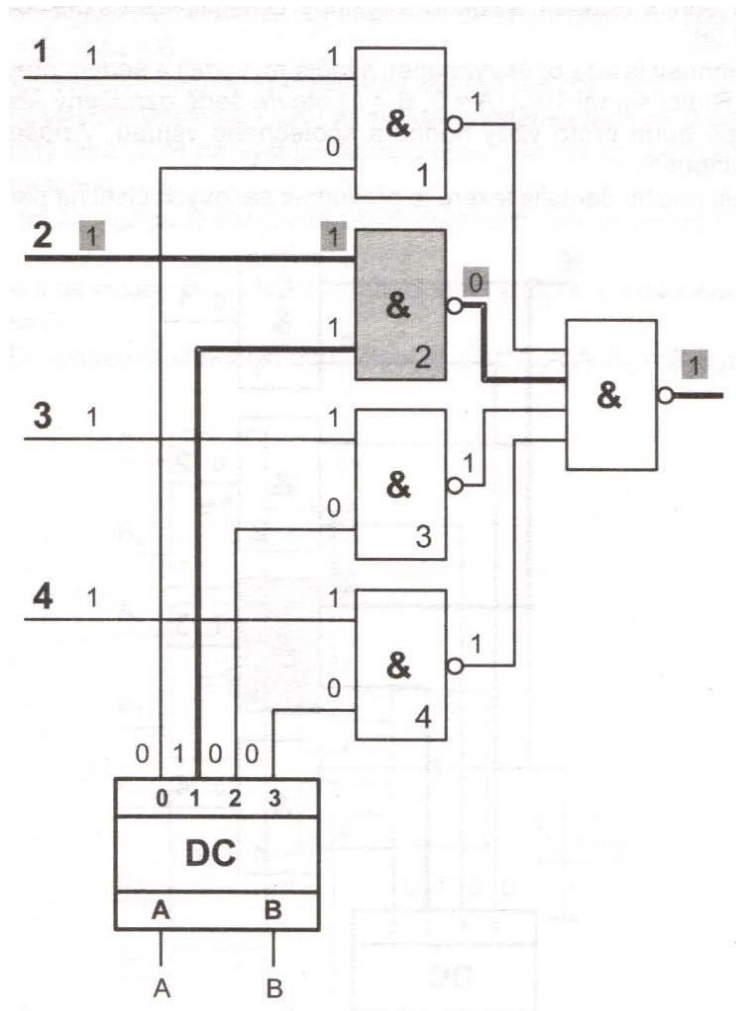
Jako příklad je šedě vyznačen v zapojení dekodéru a jeho převodní tabulce řádek pro desítkové číslo 5, který má funkci logického součinu  $Y = \bar{D}C\bar{B}A$  a jen pro binární číslo 0101 ( $D = 0, C = 1, B = 0, A = 1$ ) budou všechny vstupy členu AND č. 5 v logické 1 a proto i jeho výstup bude logická 1. Na výstupech všech ostatních členů AND bude logická hodnota 0.

## MULTIPLEXERY A DEMULTIPLEXERY

### MULTIPLEXERY

Multiplexer je elektronický přepínač, který má několik datových vstupů (1, 2, 3, 4), adresových vstupů (A, B) a jeden výstup. Pomocí adresy na adresových vstupech se vybere příslušný datový vstup, z něhož se data budou přenášet na výstup. Řídicími signály pro adresaci vstupů multiplexeru může být výstup z dekodéru.

Princip multiplexeru s dekodérem 1 ze 4 je na obr. 20.



Obr. 20 : Zapojení multiplexeru

Každý ze vstupů 1 až 4 je přiveden na logický člen NAND. Každý NAND může být otevřen pouze logickou 1 z výstupu dekodéru. Dekodér může mít logickou 1 pouze na jednom z jeho čtyř výstupů.

Jako příklad je šedě vyznačeno v zapojení multiplexeru připojení signálu z datového vstupu (2) na jeho výstup. Logická 1 na příslušném výstupu (1) dekodéru otevře člen NAND (2), který je tímto průchodný pro signály z datového vstupu (2).

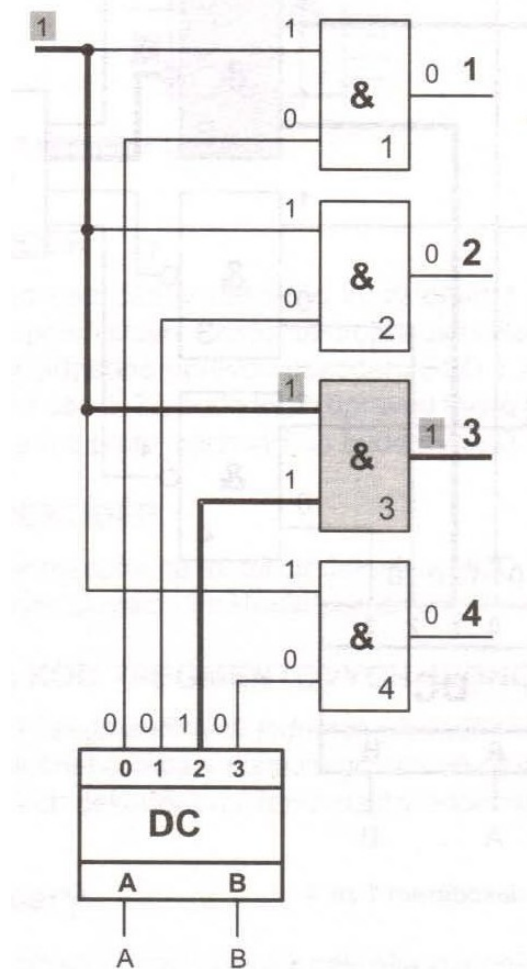
Všechny ostatní čeny NAND mají na svém výstupu trvale logickou hodnotu 1, neboť je na jejich vstup přivedena logická hodnota 0 z výstupů (0, 2, 3) dekodéru. Tím jsou všechny vstupy mimo vstup (2) multiplexeru blokovány. Signál ze zprůchodněného datového vstupu (2) je v multiplexeru dvakrát invertován, takže na výstupu multiplexeru je stejný průběh signálu jako na jeho vstupu.

### Použití multiplexerů:

- přepínání signálů,
- převod paralelních dat na sériová,
- generátor sériového binárního slova,
- vytváření Booleovských funkcí

### DEMULPLEXERY

Demultiplexer plní přesně opačnou funkci než multiplexer. Je to elektronický přepínací obvod, který v závislosti na logickém stavu adresových vodičů přepíná data z jediného datového vstupu na jeden z několika výstupů vybraný příslušnou adresou. Na ostatních výstupech setrvává neaktivní stav. Zapojení demultiplexeru s dekodérem 1 ze 4 je na obr. 21.



Obr. 21: Zapojení demultiplexeru

Činnost je zde vyznačena silnějšími vodiči a šedě vyznačeným otevřeným členem AND. Řídící signál na adresových vodičích  $BA=10$  ( $B=1$ ,  $A=0$ ) otevře logickou hodnotou 1 z výstupu (2) dekodéru šedě označený člen AND č.3, na jehož výstupu bude nyní hodnota signálu z datového vstupu. Na ostatních výstupech setrvává neaktivní stav logické hodnoty 0. Demultiplexer se používá jako převodník sériových dat na data paralelní.

Použitá literatura:

- Kesl, J.: Elektronika III – číslicová technika
- Antošová M., Davídek V.: Číslicová technika